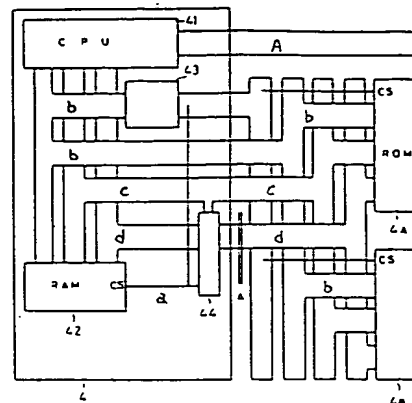


## (54) RAM SEAL UNIT

(11) 62-286139 (A) (43) 12.12.1987  
 (21) Appl. No. 61-129090 (22) 5.6.1986  
 (71) NIPPON TELEGR & TELEPH CORP <NTT>  
 (72) FUMIHIRO KIMURA(2)  
 (51) Int. Cl. G06F12/14

**PURPOSE:** To protect the secret information by providing a separating circuit which is set at high impedance by the control signal on a bus for connection to outside and prevents the data on a RAM from leaking to outside in an active state of the RAM.

**CONSTITUTION:** A CPU 41 selects a chip for access and a separating circuit 44 is bidirectional, that is, the data bus set at the side of a RAM 42 and the data bus set at the side of a ROM 4A are defined as the input and the output respectively or vice versa. Furthermore the circuit 44 can set the data bus conductive or nonconductive between the RAM 42 and the ROM 4A. A line (a) is defined as a line that controls the conduction/nonconduction of the circuit 44. Then the circuit 44 is nonconductive when the RAM 42 is active and the circuit 44 is conductive when the RAM 42 is inactive by the line (a). Thus it is impossible to observe the data on the RAM 42 from outside.



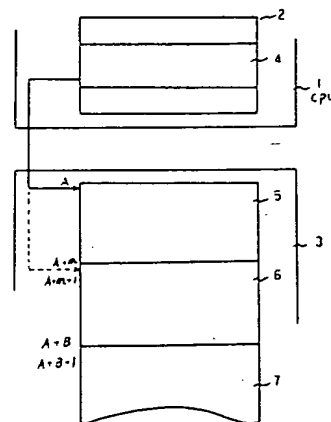
4: unit, 4B: peripheral circuit, a: interruption signal, serial signal, I/O signal, b: address bus, c: control bus, d: data bus

## (54) CONTROLLER FOR SUBSTITUTE MEMORY AREA

(11) 62-286140 (A) (43) 12.12.1987 (19) JP  
 (21) Appl. No. 61-129915 (22) 4.6.1986  
 (71) MITSUBISHI ELECTRIC CORP (72) MASAOKI YAMAMOTO  
 (51) Int. Cl. G06F12/16

**PURPOSE:** To increase the processing speed of a substitute memory area by providing a substitute memory area which is designated by a main memory when an error occurs in a memory area where the data stored in an auxiliary memory device is written.

**CONSTITUTION:** If a CPU 1 detects an error while data are transferred to a memory area 5 from the CPU 1 to write data to an auxiliary memory device 3, the CPU 1 first discontinues the transfer of data and reads the information on a substitute memory area 4 stored on a main memory 2 at a high speed to detect that the substitute area is equal to a memory area 6 at and after an address  $(A+m+1)$ . Then the CPU 1 transfers data to the area 6 of the device 3 and writes them there. The CPU 1 detects the final address  $(A+B)$  of the area 6 storing data and writes fast a fact that the next substitute memory area is equal to a memory area 7 set at and after an address  $(A+B+1)$  after addition of 1 to a self-substitute information memory area 4 with replacement.

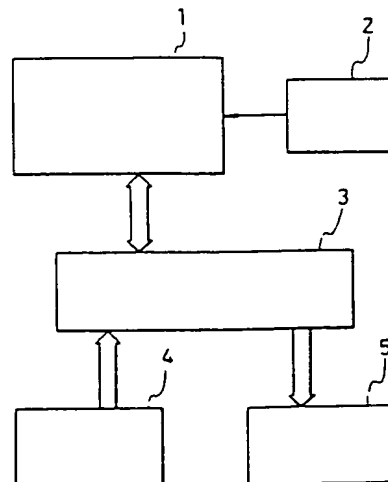


## (54) STORING METHOD FOR TELEPHONE NUMBER

(11) 62-286141 (A) (43) 12.12.1987 (19) JP  
 (21) Appl. No. 61-129264 (22) 5.6.1986  
 (71) OKI ELECTRIC IND CO LTD(1) (72) KOJI ARAI(2)  
 (51) Int. Cl. G06F12/16, H04M1/27

**PURPOSE:** To detect a wrong telephone number by storing the telephone number in a random access memory together with a parity and performing the periodical parity check to erase the relevant telephone number when a parity error is detected.

**CONSTITUTION:** A microprocessor 3 reads out a telephone number and a horizontal even parity LRC out of a memory area A per minute to perform the parity check. Then the processor 3 erases the contents of the area A if a parity error is detected. Then the processor 3 performs the parity check of a telephone number stored in a memory area B and transfers it as a new number of the area A as long as no error is detected. Thus the correct telephone numbers are always written to both areas A and B. While the processor 3 erases the contents of both areas A and B in case errors are detected with telephone numbers of both areas A and B. The erasure of these contents is shown with blinking of a display part 5.



1: random access memory, 2: battery, 4: input part, 5: display part

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-286139

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)12月12日

G 06 F 12/14

3 2 0

A-7737-5B

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 RAMシールユニット

⑯ 特 願 昭61-129090

⑰ 出 願 昭61(1986)6月5日

⑱ 発 明 者 木 村 文 宏 横須賀市武1丁目2356番地 日本電信電話株式会社複合通信研究所内

⑲ 発 明 者 家 木 俊 温 横須賀市武1丁目2356番地 日本電信電話株式会社複合通信研究所内

⑳ 発 明 者 奥 川 守 文 横須賀市武1丁目2356番地 日本電信電話株式会社複合通信研究所内

㉑ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉒ 代 理 人 弁理士 小林 将高

明 細 書

1. 発明の名称

RAMシールユニット

2. 特許請求の範囲

CPUと、RAMとデコード回路とを少なくとも備え、周辺回路との間でバスを介して信号の授受を行うユニットにおいて、前記RAMが活性化状態のとき制御信号によって出力がハイインピーダンスとなる分離回路を前記ユニット内の外部と接する位置のバス上に設けたことを特徴とするRAMシールユニット。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、端末装置が外部記憶媒体からプログラムあるいはデータを読み込み、RAMに格納した後、RAMの内容を読まれないようにしたRAMシールユニットに関するものである。

(従来の技術)

端末装置が、外部記憶媒体に格納された情報を使ってある処理を行う場合を考える。全体構成は

第3図のようになる。第3図において、1は端末装置、2は外部記憶媒体、11は端末装置1の制御を司るCPU、12はROM、13はRAM、14は周辺回路、15と16は外部記憶媒体2とのインタフェース回路に相当する制御回路と駆動回路である。外部記憶媒体2へのアクセス回数が少ないときは、直接外部記憶媒体2へのアクセスにより処理を進めることとなる。しかし、アクセス回数が多い時は、外部記憶媒体2の情報を一旦RAM13に移し、RAM13へのアクセスにより処理を進めることが一般である。

(発明が解決しようとする問題点)

ここで、外部記憶媒体2に格納されている情報に機密性があり、外部記憶媒体2へのアクセス回数が多い場合を考える。この場合、RAM13へ情報を格納した後、処理を進めたいが、RAM13には機密情報の保護機能はなく、RAM13の内容がロジックアナライザなどで簡単に読まれることが問題である。

これの解決策として、1チップマイコンがあげ

られる。1チップマイコンの構成を第4図に示す。第4図において、31はCPUを、32はROMを、33はRAMを、34は周辺回路を示す。機密情報をRAM33に格納すれば、内部バスと外部バスは異なるものだから、外から内部バスを見ることはできず、機密情報は保護される。しかし、1チップマイコンのRAM容量は少なく、機密情報が多いときは問題が残る。

この発明の目的は、機密情報をRAMに格納しても、RAMのデータが読まれないようなRAMシールユニットを提供することにある。

〔問題点を解決するための手段〕

この発明にかかるRAMシールユニットは、外部と接するバス上に制御信号によりハイインピーダンスとなる分離回路を設けたものである。

〔作用〕

この発明においては、RAMが活性化状態の時、分離回路がハイインピーダンスとなることにより、RAMのデータが外部に漏れないようになる。

〔実施例〕

シールにより、RAM42が活性化状態の時は分離回路44は非導通状態とし、RAM42が非活性化状態の時は分離回路44は導通状態とする。こうすると、データバス上でユニット4が外部と接する点AからRAM42のデータを観測することはできない。

RAM42のデータを観測するためには、ユニット4内のデータバスをモニタする方法と、デコード回路の出力を操作しRAM42の活性化状態と分離回路44の非導通状態の関係を逆にする方法とがある。

前者の方法を防ぐ手段としては、ユニット4をモールドしたり、頑丈な箱の中に入れることなどがある。つまり、ユニット4をブラックボックス化することである。

後者の方法を防ぐ手段としては、前者の方法を防ぐ手段に類する。それは、RAM42を選択するラインaが分離回路44の制御信号に接続されユニット4内にあるから、ユニット4の内部を操作することとなるからである。

第1図はこの発明の一実施例を示す全体の回路構成のブロック図である。ユニット4の中には、CPU41、RAM42、デコード回路43、分離回路44がある。またユニット4の外にはROM4A、周辺回路4Bがある。CPU41は、ROM4AやRAM42に格納されているプログラムによって各種の処理を行う。デコード回路43により、CPU41はアクセスするチップを選択することができる。この実施例では、デコード回路43の出力はアドレスバスより作ることとしている。分離回路44は双方向性であり、RAM41側のデータバスが入力でROM4A側のデータバスが出力の時も、ROM4A側のデータバスが入力でRAM42側のデータバスが出力の時もある。さらに、分離回路44は、制御信号により、データバスをRAM42側とROM4A側とで導通状態にすることも、非導通状態にすることもできる。

さて、デコード回路43の出力の1つでありRAM42を選択するラインaが、分離回路44の導通/非導通を制御するラインと同じとし、ライ

この発明のRAMシールユニットは、第1図とは別に第2図のような構成としても効果は同じである。すなわち、ユニット内にROMまでとりこんでもよい。また分離回路の挿入範囲をデータバスばかりでなく、アドレスバスやコントロールバスに広げてもよい。

このように、ユニット内にCPU、RAM、デコード回路、分離回路を設け、デコード回路によりRAMが選択された時、同時に分離回路の働きによりデータバスが非導通状態となれば、ユニット外部からRAMのデータを観測することはできない。さらに、ユニットをモールドなどしてブラックボックス化しているので、ユニット内部のバスをモニタすることはできない。従って、RAMに格納されている機密情報は保護されることとなる。

〔発明の効果〕

この発明のRAMシールユニットは、外部と接するバス上に制御信号によりハイインピーダンスとなる分離回路を設けて、RAMが活性化状態の

とき、RAMのデータが外部に漏れないようにしたので、RAMに格納されている機密情報を保護することができるため、以下の利点がある。


- (i) 情報量が多くとともRAMに格納でき、機密を保護できる。
- (ii) 情報をRAMに格納できるので、処理速度がはやい。
- (iii) 情報をRAMに一旦格納すれば、外部記憶媒体を端末装置から切り離してもよい。
- (iv) 前記(ii)の理由から、機密情報の格納された外部記憶装置は1つだけとし、複数の端末装置を稼働させることもできる。
- (v) 前記(iv)の理由から、外部記憶媒体の管理が簡単になる。

#### 4. 図面の簡単な説明

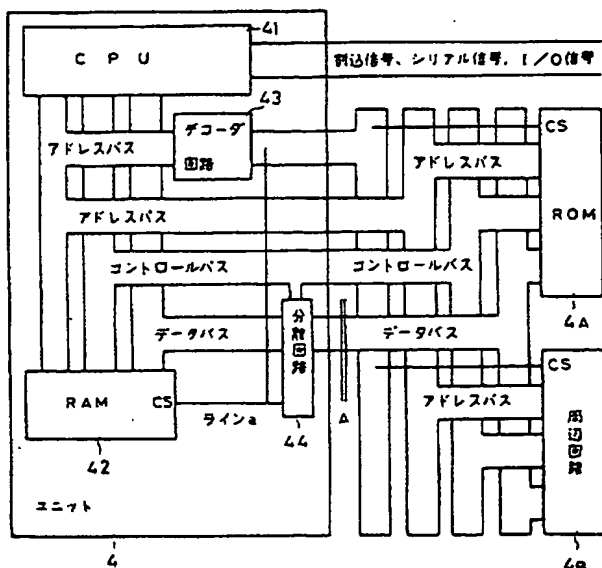
第1図はこの発明の一実施例の回路構成を示すブロック図、第2図はこの発明の他の実施例の回路構成を示すブロック図、第3図は従来のユニットの回路構成を示すブロック図、第4図は従来の1チップマイコンの回路構成を示すブロック図で

ある。

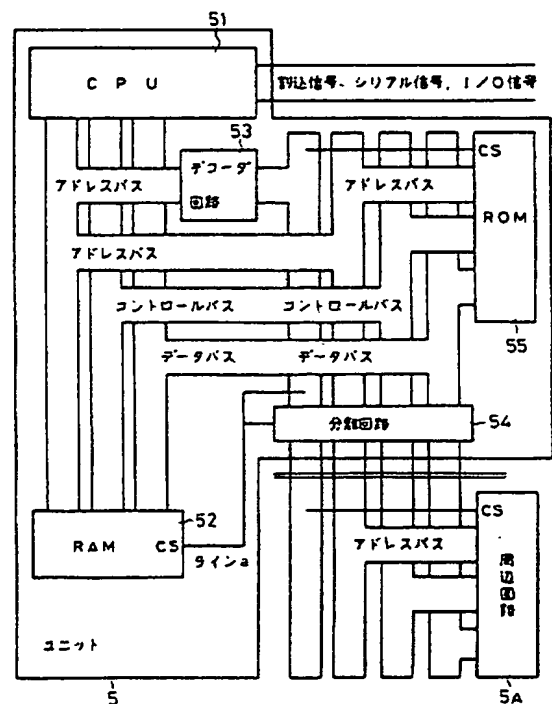
図中、4はユニット、4AはROM、4Bは周辺回路、41はCPU、42はRAM、43はデコード回路、44は分離回路である。

代理人 小林 得高 

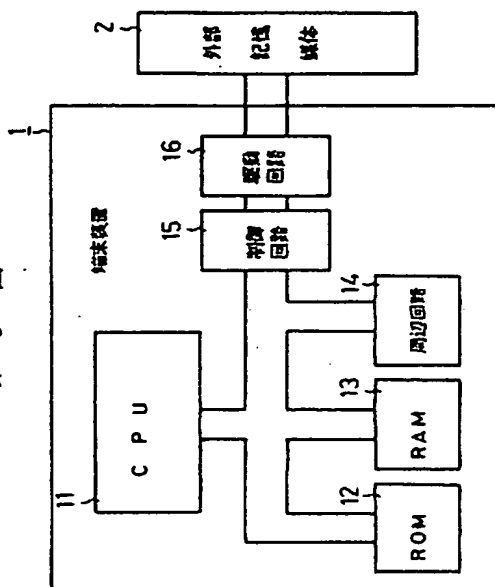
第 1 図



第 2 図



第 3 図



第 4 図

